

日本国特許庁
JAPAN PATENT OFFICE

#2

JC976 U.S. PRO
09/938528
08/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年 8月31日

出願番号
Application Number:

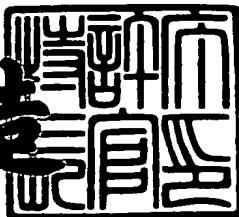
特願2000-263466

出願人
Applicant(s):

松下電子工業株式会社

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



2001年 5月11日

出証番号 出証特2001-3038074

【書類名】 特許願
【整理番号】 2925020052
【提出日】 平成12年 8月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 有田 浩二

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内
【氏名】 上本 康裕

【特許出願人】

【識別番号】 000005843
【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011316

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809939

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 基板表面部が絶縁層により基板本体部から電気的に絶縁分離されている半導体基板に設けられた、前記基板表面部を貫通し前記絶縁層に達する深さまで溝を形成し、素子分離領域となる領域を形成する工程と、前記溝の内側に第2の絶縁層を気相成長法により成膜する工程と、前記溝の内側に前記第2の絶縁層を介して埋込層を形成する工程と、前記埋込層をエッチングすることにより前記埋込層を前記溝の内部に残す工程と、前記埋込層を被覆する第3の絶縁層を形成する工程とを有する半導体装置の製造方法。

【請求項2】 前記第3の絶縁層を形成する工程が、前記埋込層を含み前記半導体基板の前記基板表面部全面に第3の絶縁層を成膜する工程と、前記第3の絶縁層をエッチングにより前記埋込層を被覆するよう前記素子分離領域に残す工程からなる、請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の絶縁層を形成する工程が、前記溝の側面を酸化することによって酸化膜層を形成する工程と、前記酸化膜層を被覆し、かつ前記酸化膜層よりも膜厚が厚い第4の絶縁層を気相成長法により成膜する工程からなる請求項1記載の半導体装置の製造方法。

【請求項4】 基板表面部が絶縁層により基板本体部から電気的に絶縁分離されている半導体基板と、素子分離領域において前記半導体基板の前記基板表面部に設けられた、前記基板表面部を貫通し前記絶縁層に達する深さまで形成された溝と、前記溝の側面を酸化することによって形成される酸化膜層および前記酸化膜層を被覆するように前記酸化膜層の膜厚より厚い膜厚を有する第4の絶縁層からなる第2の絶縁層と、前記溝の内側に前記第2の絶縁層を介して埋め込み形成された埋込層と、前記埋込層を被覆する第3の絶縁層を備えた半導体装置。

【請求項5】 前記酸化膜層の厚さが2ナノメートル以上50ナノメートル以下である、請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SOI (Silicon On InsulatorまたはSemiconductor On Insulator) 基板を用いて、トレンチ分離により素子間分離を行なう半導体装置、およびその製造方法に関するものである。

【0002】

【従来の技術】

絶縁層上に半導体層が形成されたSOI基板にトランジスタ・抵抗等の素子を形成した半導体装置は、寄生容量の低減による高速動作や高耐圧化の実現が可能で、またラッチアップを生じない等の高信頼性の利点があることが知られている。

【0003】

図12は、SOI基板にMOS (Metal-Oxide-Semiconductor) トランジスタを形成した半導体装置を示したものである。

【0004】

図12に示すように、半導体基板1は、基板本体部2と基板表面部3（本例では単結晶の半導体シリコンで構成されている）とが絶縁層4により互いに電気的に絶縁分離されたSOI基板である。素子分離領域にある酸化珪素層10内に溝（トレンチ）5が形成され、この溝5の側面に設けられた酸化珪素よりなる第2の絶縁層6と、この第2の絶縁層6の内側で溝5を埋め込む多結晶シリコンよりなる埋込層7、さらに埋込層7を覆うように形成された酸化珪素層からなる第3の絶縁層12により、トレンチ型の素子分離構造が形成されている。この例では、MOSトランジスタ9が形成されているが、このトレンチ型の素子分離領域で囲まれた素子形成領域には、例えばバイポーラ素子、抵抗素子等の素子も形成できる。

【0005】

図13（a）（b）は図12に示したMOSトランジスタのトレンチ素子分離部分の製造工程を示した断面図である。

【0006】

図13（a）に示すように、通常のフォトリソグラフィーによりパターニングしたフォトレジストあるいは窒化珪素膜あるいは酸化珪素膜8をマスクとして、

臭化水素等のガスを使用した反応性イオンエッティング法などにより、素子分離領域に異方性の溝5を形成する。

【0007】

次に、図13(b)に示すように熱酸化することにより溝の内側に酸化珪素より構成される第2の絶縁層6を形成し、その後、エッティングマスクとして使用したフォトレジストあるいは窒化珪素膜あるいは酸化珪素膜8を除去する。

【0008】

【発明が解決しようとする課題】

上述の場合、第2の絶縁層6形成のための溝の内側の熱酸化の際に、第1の絶縁層4と基板表面部3の界面及び基板表面部3と酸化珪素層10との界面に沿っても酸化膜が成長するため体積膨張が起こる。このためトレンチで分離形成される基板表面部の素子形成領域の半導体層に圧縮応力が発生し、この応力により素子領域の半導体層に結晶欠陥が発生することがある、という課題があった。この課題は、素子の微細化又は基板表面部3の薄膜化を行なう際により顕著になる。

【0009】

この課題を解決するため、例えば特許公報第2589209号に開示されているように、溝の内側の第2の絶縁層を形成する際に、予め減圧気相成長法により、多結晶半導体膜を堆積してコーナー部を丸めた後熱酸化膜を形成する方法が提案されている。しかしながら、この場合コーナー部の曲率は多結晶半導体膜の被覆形状に依存するため、多結晶半導体膜堆積後の熱酸化工程での応力緩和の度合いも被覆形状によって変わり、従って上に述べた結晶欠陥が発生する可能性が内包されていることになるため、工程のバラツキ程度によっては結晶欠陥の発生が大いにあり得、ひいてはこれが素子歩留低下の重大原因となる。

【0010】

本発明は、上記課題を解決するものであり、SOI基板およびトレンチ型の素子分離構造を使用し、トレンチ型の素子分離構造における溝(トレンチ)のコーナー部起因の結晶欠陥発生を完全に抑止した半導体装置およびその製造方法を提供することを目的とするものである。

【0011】

【課題を解決するための手段】

本発明の請求項1記載の半導体装置の製造方法は、基板表面部が絶縁層により基板本体部から電気的に絶縁分離されている半導体基板に設けられた、前記基板表面部を貫通し前記絶縁層に達する深さまで溝を形成し、素子分離領域となる領域を形成する工程と、前記溝の内側に第2の絶縁層を気相成長法により成膜する工程と、前記溝の内側に前記第2の絶縁層を介して埋込層を形成する工程と、前記埋込層をエッティングすることにより前記埋込層を前記溝の内部に残す工程と、前記埋込層を被覆する第3の絶縁層を形成する工程とを有することを特徴とするものである。

【0012】

この構成によれば、溝の側面に熱酸化による酸化層が形成されていないため、結晶欠陥が発生する原因である熱酸化工程が不要となり、従ってトレンチ型素子分離形成工程における結晶欠陥の発生を完全に抑止できるものである。

【0013】

また、本発明の請求項2記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、前記第3の絶縁層を形成する工程が、前記埋込層を含み前記半導体基板の前記基板表面部全面に第3の絶縁層を成膜する工程と、前記第3の絶縁層をエッティングにより前記埋込層を被覆するよう前記素子分離領域に残す工程からなることを特徴とするものである。

【0014】

また、本発明の請求項3記載の半導体装置の製造方法は、請求項1記載の半導体装置の製造方法において、前記第2の絶縁層を形成する工程が、前記溝の側面を酸化することによって酸化膜層を形成する工程と、前記酸化膜層を被覆し、かつ前記酸化膜層よりも膜厚が厚い第4の絶縁層を気相成長法により成膜する工程からなることを特徴とするものである。

【0015】

また、本発明の請求項4記載の半導体装置は、基板表面部が絶縁層により基板本体部から電気的に絶縁分離されている半導体基板と、素子分離領域において前記半導体基板の前記基板表面部に設けられた、前記基板表面部を貫通し前記絶縁

層に達する深さまで形成された溝と、前記溝の側面を酸化することによって形成される酸化膜層および前記酸化膜層を被覆するように前記酸化膜層の膜厚より厚い膜厚を有する第4の絶縁層からなる第2の絶縁層と、前記溝の内側に前記第2の絶縁層を介して埋め込み形成された埋込層と、前記埋込層を被覆する第3の絶縁層を備えたことを特徴とするものである。また、本発明の請求項5記載の半導体装置は、請求項4記載の半導体装置において、前記酸化膜層の厚さが2ナノメートル以上50ナノメートル以下であることを特徴とするものである。

【0016】

この構成によれば、素子分離領域における電気的な絶縁分離を、溝の側面に形成された熱酸化による酸化膜層および第4の絶縁層の積層により実現するため、溝の側面に形成する酸化膜層の膜厚を大幅に低減することができ、この結果、熱酸化時の応力集中による結晶欠陥が発生しないような酸化膜層の膜厚を設定することが可能となる。

【0017】

【発明の実施の形態】

以下本発明の実施の形態について、図面を参照しながら説明する。

【0018】

(実施の形態1)

本発明の実施の形態1の半導体装置およびその製造方法を図1から図5を用いて説明する。

【0019】

まず、図1に示すように、単結晶の半導体シリコンからなる基板表面部103と単結晶半導体シリコンからなる基板本体部102が酸化珪素からなる第1の絶縁層104を介して接着することにより、SOI構造を有する半導体基板101が構成される。

【0020】

次に、半導体基板101の基板表面部103全面にフォトトレジスト108を塗布し、フォトリソグラフィーによりこのフォトトレジスト108をパターニングして、後に素子分離領域となる所定の領域に開口(図示省略)を形成する。その後

、このフォトトレジスト108をエッチングマスクとして基板表面部103をドライエッチングし、基板表面部103に溝105を半導体基板101の第1の絶縁層104に到達する深さまで、図1に示すように形成する。なお、この時第1の絶縁層104はそれ自身をエッチングストッパーとして用いることが可能である。

【0021】

次に、フォトトレジスト108の除去後、図2に示すように、溝105の内側を含む基板表面部103全面に気相成長法により酸化珪素よりなる第2の絶縁層110を形成し、更に、多結晶シリコンよりなる埋込層111を第2の絶縁層110の上から溝105の内側を含む基板表面部103全面に、図2に示すように形成する。次に、埋込層111をRIE (Reactive Ion Etching) 等の異方性ドライエッティングによりエッチバックして、溝105の内部のみに埋込層111を残す。なお、この時第2の絶縁層110をエッチングストッパーとして用いることが可能である。

【0022】

次に、図3に示すように、炉工程により埋込層111の上部を熱酸化し、表面に酸化珪素からなる第3の絶縁層112を形成する。

【0023】

その後、全面に形成したフォトトレジストをフォトリソグラフィーによりパターニングし（図示せず）、このフォトトレジストをエッチングマスクとして、図4に示すように、素子形成領域の第2の絶縁層110を除去する。その後、フォトトレジスト113を除去することにより（図示せず）、トレンチ分離部分の形成が終了する。

【0024】

次に、第2の絶縁層110が除去された素子形成領域に所望の素子を形成する。例えば、半導体基板101の基板表面部103上にゲート酸化膜114を形成し、その上にゲート電極115を所望の形状に形成する。その後、素子分離領域の第2の絶縁層110および第3の絶縁層112とゲート電極115をマスクとしてイオン注入を行ない、基板表面部103に所望の導電型の不純物拡散層11

6を形成する。これにより、ゲート電極115をゲート、一対の不純物拡散層116をソース／ドレインとするMOSトランジスタ121が、図5に示すように形成される。

【0025】

実施の形態1においては、溝105の側面に熱酸化による酸化物（本実施の形態の場合は酸化珪素）の層が形成される必要がないため、結晶欠陥が発生する原因である熱酸化工程が不要であり、従ってトレンチ型素子分離形成工程における結晶欠陥の発生を完全に抑止できる。

【0026】

なお、上述の実施の形態1において、溝105を形成する際エッチングマスクとしてフォトトレジスト108を用いているが、これに限ることではなく、例えば酸化珪素層あるいは窒化珪素層（後述の実施の形態2を参照せよ）あるいは酸化珪素層と窒化珪素層を積層したものをエッチングマスクとして使用することが可能である。また、溝105内部に第2の絶縁層110を形成した後にこの第2の絶縁層110をアニールする炉工程（アニール時の雰囲気は窒素雰囲気あるいは酸素雰囲気のどちらでもよい）を追加してもよく、炉工程の追加により第2の絶縁層110が緻密化し、電気的絶縁特性が良化する。また、溝105内側への一様な被覆構造が得られるという観点から、第2の絶縁層110の成膜方法としては化学気相成長法を用いることが望ましい。また、埋込層111上部を酸化する炉工程を埋込層111のエッチバック後ではなく、全面に形成したフォトトレジストをフォトリソグラフィーによりパターニングし（図示せず）、このフォトトレジストをエッチングマスクとして、素子形成領域の第2の絶縁層110を除去し、更にフォトトレジストを除去した後（図示せず）に実施してもよい。さらに、埋込層111は多結晶シリコンで形成される必要はなく、例えば非晶質シリコン等が使用されてもよい。

【0027】

また、実施の形態1においては、素子形成領域にMOSトランジスタ121を形成しているが、これに限らず、例えばバイポーラ素子や抵抗素子等を形成してもよいことは勿論のことである。

【0028】

(実施の形態2)

本発明の実施の形態2の半導体装置およびその製造方法を図6から図11を用いて説明する。

【0029】

まず、図6に示すように、単結晶の半導体シリコンからなる基板表面部203と単結晶半導体シリコンからなる基板本体部202が酸化珪素からなる第1の絶縁層204を介して接着することにより、SOI構造を有する半導体基板201が構成される。

【0030】

本実施の形態2においては、基板表面部203中で素子分離領域となる所定の領域にはLOCOS (LOCal Oxidation of Silicon) 法により酸化珪素層217が形成されている。LOCOSによる素子分離法とトレンチ素子分離法を併用することにより、例えばBiCMOS (Bipolar-CMOS) 集積回路を形成する際、バイポーラ素子の素子分離にはトレンチ素子分離を用い、MOSトランジスタの素子分離にはLOCOSによる素子分離を用いる等、形成される素子の種類によって素子分離法を使い分けすることが可能である。

【0031】

基板表面部203全面に気相成長法により窒化珪素層218を形成する。その後、フォトレジストを塗布し(図示せず)、フォトリソグラフィーによりこのフォトレジストをパターニングして、後に素子分離領域となる所定の領域(上述したように、本実施の形態においては酸化珪素層217がすでに形成されている)に開口(図示せず)を形成する。その後、このフォトレジストをエッチングマスクとして窒化珪素層218および酸化珪素層217をドライエッチングする。次に、フォトレジストを除去後(図示せず)、今度は窒化珪素層218をエッティングマスクとして基板表面部203をドライエッティングし、図6に示すように、基板表面部203に溝205を半導体基板201の第1の絶縁層204に到達する深さまで形成する。なお、この時第1の絶縁層204はそれ自身をエッティングストッパーとして用いることが可能である。

【0032】

次に、炉工程により溝205の内側の側面を熱酸化し、酸化珪素からなる酸化膜層219を形成する。なお、酸化膜層219は電気絶縁層として機能するが、その膜厚は2~50ナノメートル程度となるよう炉工程の条件を設定する。その後、溝205の内側を含む基板表面部203全面に気相成長法により酸化珪素よりなる第4の絶縁層220を形成し、第2の絶縁層として、酸化膜層219および第4の絶縁層220の積層膜を形成する。更に、多結晶シリコンよりなる埋込層211を第4の絶縁層220の上から溝205の内側を含む基板表面部203全面に、図7に示すように形成する。次に、埋込層211をRIE等の異方性ドライエッティングによりエッチバックして、溝205の内部のみに埋込層211を残す。なお、この時第4の絶縁層220をエッティングストッパーとして用いることが可能である。

【0033】

次に、図8に示すように、ウェットエッティングにより窒化珪素層218上の第4の絶縁層220を除去し、続いて窒化珪素層218をウェットエッティングで除去した後、基板表面部203全面に気相成長法により第3の絶縁層212を、図8に示すように成膜する。

【0034】

その後、全面に形成したフォトレジストをフォトリソグラフィーによりパターニングし（図示せず）、このフォトレジストをエッティングマスクとして、素子形成領域の第3の絶縁層212を除去することにより、第3の絶縁層212を形成する。最後に、フォトレジストを除去することにより（図示せず）、図9に示すようにトレンチ分離部分の形成が終了する。

【0035】

次に、図10に示すように、第3の絶縁層212が除去された素子形成領域に所望の素子を形成する。例えば、半導体基板201の基板表面部203上にゲート酸化膜214を形成し、その上にゲート電極215を所望の形状に形成する。その後、素子分離領域の第3の絶縁層212および酸化珪素層217とゲート電極215をマスクとしてイオン注入を行ない、基板表面部203に所望の導電型

の不純物拡散層216を形成する。これにより、ゲート電極215をゲート、一対の不純物拡散層216をソース／ドレインとするMOSトランジスタ221が、図10に示すように形成される。

【0036】

実施の形態2においては、溝205の側面に熱酸化により形成される酸化物（酸化珪素）の層の膜厚が50ナノメートル以下と薄くすることができるため、熱酸化工程において結晶欠陥が発生するに至るまでの応力集中は発生せず、従ってトレンチ型素子分離形成工程において結晶欠陥は発生しない。

【0037】

なお、上述の実施の形態2において、溝205を形成する際エッチングマスクとして窒化珪素層218を用いているが、これに限ることではなく、例えば酸化珪素層あるいは酸化珪素層と窒化珪素層を積層したものをエッチングマスクとして使用することが可能である。また、実施の形態1と同様に、フォトレジストを溝205を形成する際のエッチングマスクとして用いることも勿論可能である。また、溝205内部に第4の絶縁層220を形成した後にこの第4の絶縁層220をアニールする炉工程（アニール時の雰囲気は窒素雰囲気あるいは酸素雰囲気のどちらでもよい）を追加してもよく、炉工程の追加により第4の絶縁層220が緻密化し、電気的絶縁特性が良化する。また、溝205内側への一様な被覆構造が得られるという観点から、第4の絶縁層220の成膜方法としては化学気相成長法を用いることが望ましい。

【0038】

さらに、溝205を形成した後に窒化珪素層218を除去し、第4の絶縁層220を形成するよう製造工程を変更することも可能である。この場合は、埋込層211をエッチバックした後に素子形成領域の第4の絶縁層220をウェットエッチングあるいはドライエッチングにより除去するか、あるいは、第3の絶縁層212を成膜後、素子形成領域の第5の絶縁層222を除去する際に、同時に素子形成領域の第4の絶縁層220を除去すればよい。

【0039】

また、第3の絶縁層212の形成についてであるが、素子形成領域に第3の絶

縁層212が残らなければよく、例えば素子分離領域内において隣接する溝205を被覆する第3の絶縁層212は、図11に示すように互いにつながっていてもよい。さらに、埋込層211は多結晶シリコンで形成される必要はなく、例えば非晶質シリコン等が使用されてもよい。

【0040】

また、実施の形態2においては、素子形成領域にMOSトランジスタ221を形成しているが、これに限らず、例えばバイポーラ素子や抵抗素子等を形成してもよいことは勿論のことである。

【0041】

【発明の効果】

以上のように本発明によれば、SOI基板およびトレンチ型の素子分離構造を使用し、トレンチ型の素子分離構造における溝のコーナー部起因の結晶欠陥発生を完全に抑止した半導体装置およびその製造方法を提供することが可能となるため、素子歩留を大きく改善することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1に係る半導体装置の製造工程を示す工程断面図

【図2】

本発明の実施の形態1に係る半導体装置の製造工程を示す工程断面図

【図3】

本発明の実施の形態1に係る半導体装置の製造工程を示す工程断面図

【図4】

本発明の実施の形態1に係る半導体装置の製造工程を示す工程断面図

【図5】

本発明の実施の形態1に係る半導体装置の構成を示す工程断面図

【図6】

本発明の実施の形態2に係る半導体装置の製造工程を示す工程断面図

【図7】

本発明の実施の形態2に係る半導体装置の製造工程を示す工程断面図

【図8】

本発明の実施の形態2に係る半導体装置の製造工程を示す工程断面図

【図9】

本発明の実施の形態2に係る半導体装置の製造工程を示す工程断面図

【図10】

本発明の実施の形態2に係る半導体装置の構成を示す工程断面図

【図11】

本発明の実施の形態2に係る半導体装置のトレンチ素子分離構造の他の構成を示す工程断面図

【図12】

従来の半導体装置の構成を示す工程断面図

【図13】

従来の半導体装置の製造工程を示す工程断面図

【符号の説明】

- 1、101、201 半導体基板
- 2、102、202 基板本体部
- 3、103、203 基板表面部
- 4、104、204 第1の絶縁層
- 5、105、205 溝
- 6、110、210 第2の絶縁層
- 7、111、211 埋込層
- 8 フォトレジストあるいは窒化珪素膜あるいは酸化珪素膜
- 9、121、221 MOSトランジスタ
- 10、217 酸化珪素層
- 12、112、212 第3の絶縁層
- 108、113 フォトレジスト
- 114、214 ゲート酸化膜
- 115、215 ゲート電極
- 116、216 不純物拡散層

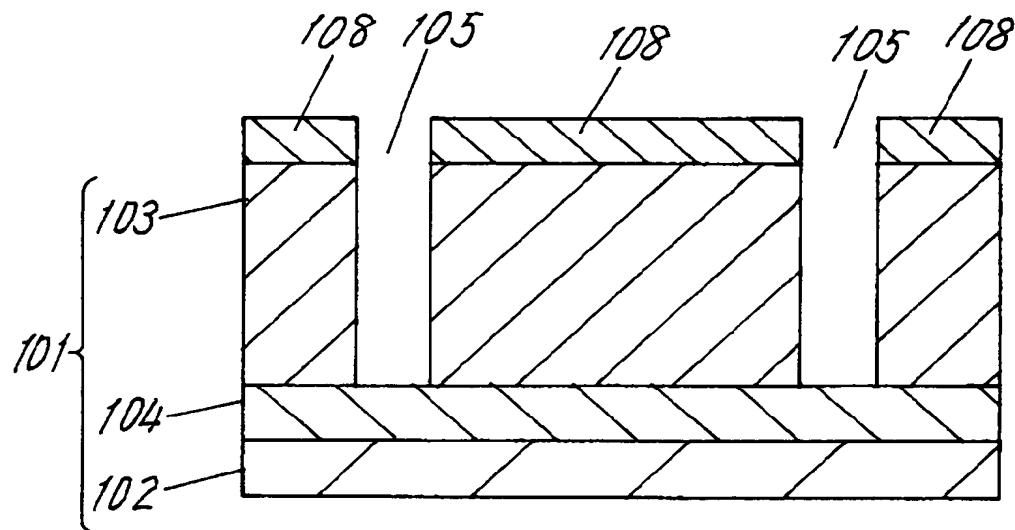
218 窒化珪素層

219 酸化膜層

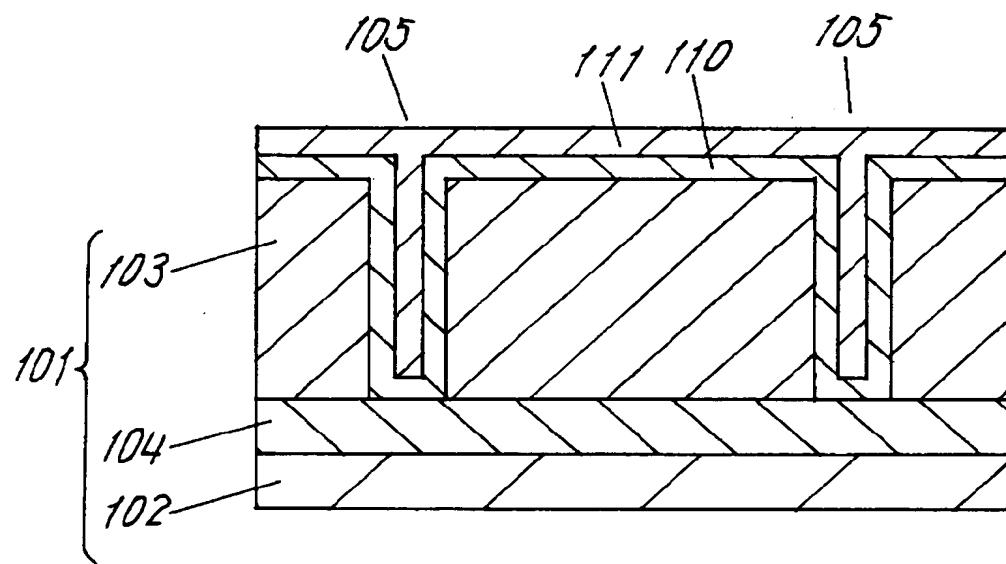
220 第4の絶縁層

【書類名】 図面

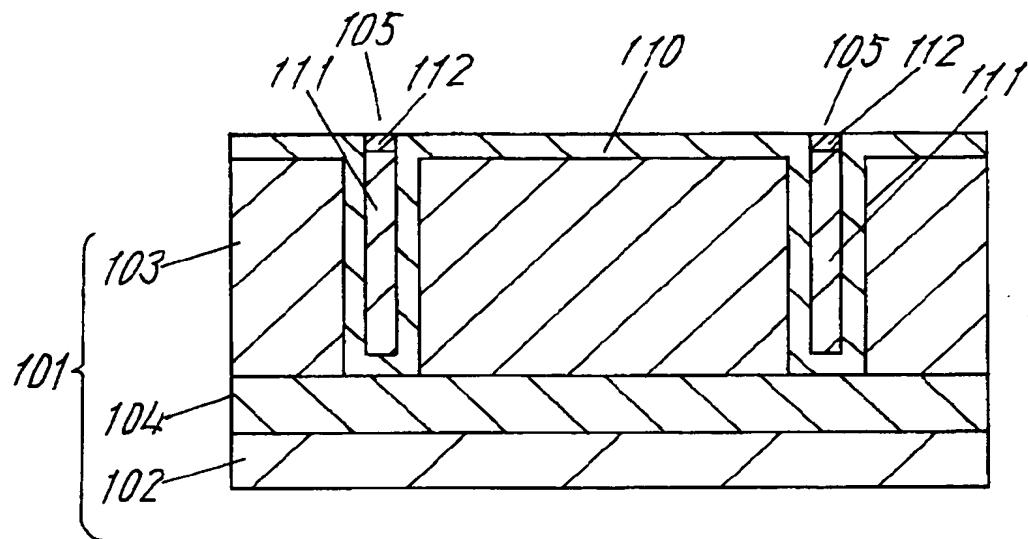
【図1】



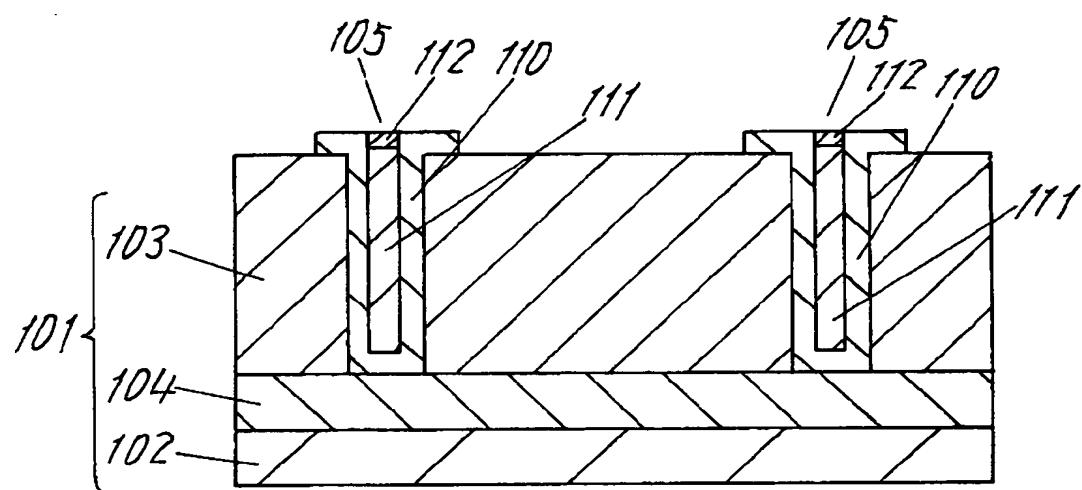
【図2】



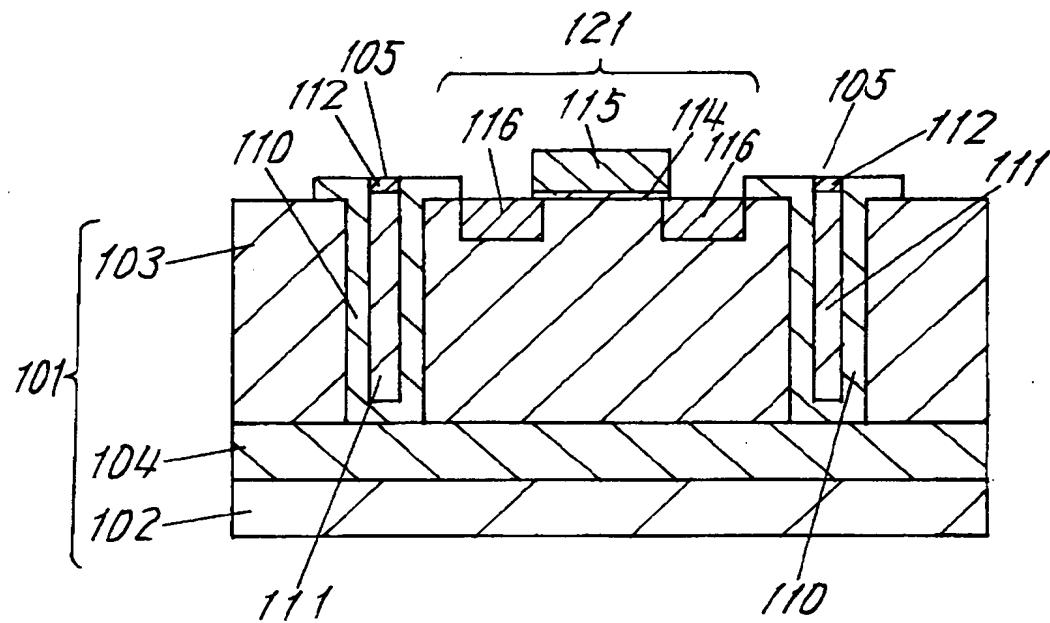
【図3】



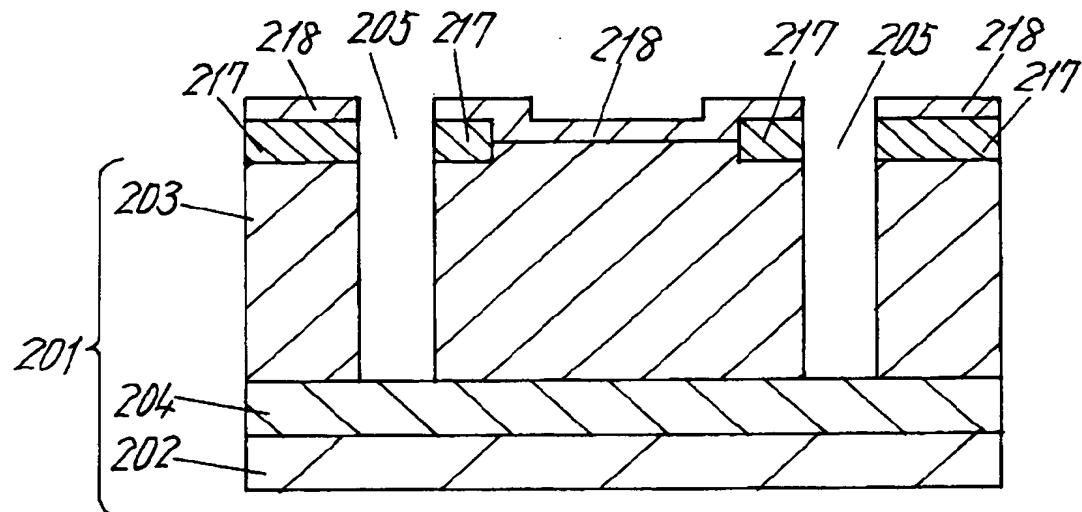
【図4】



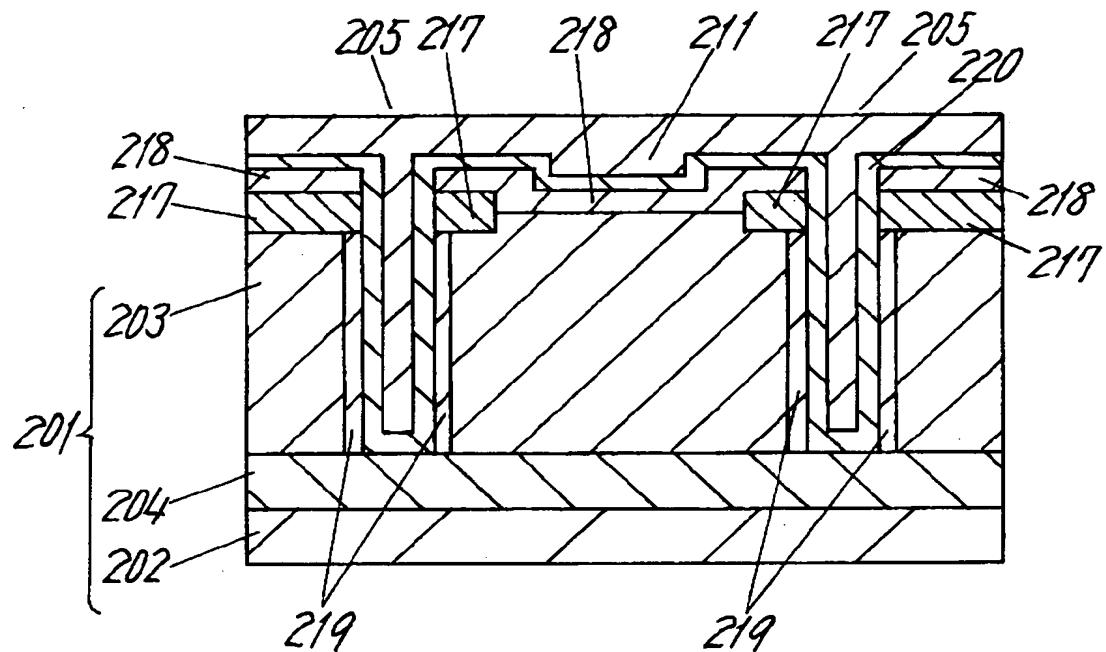
【図5】



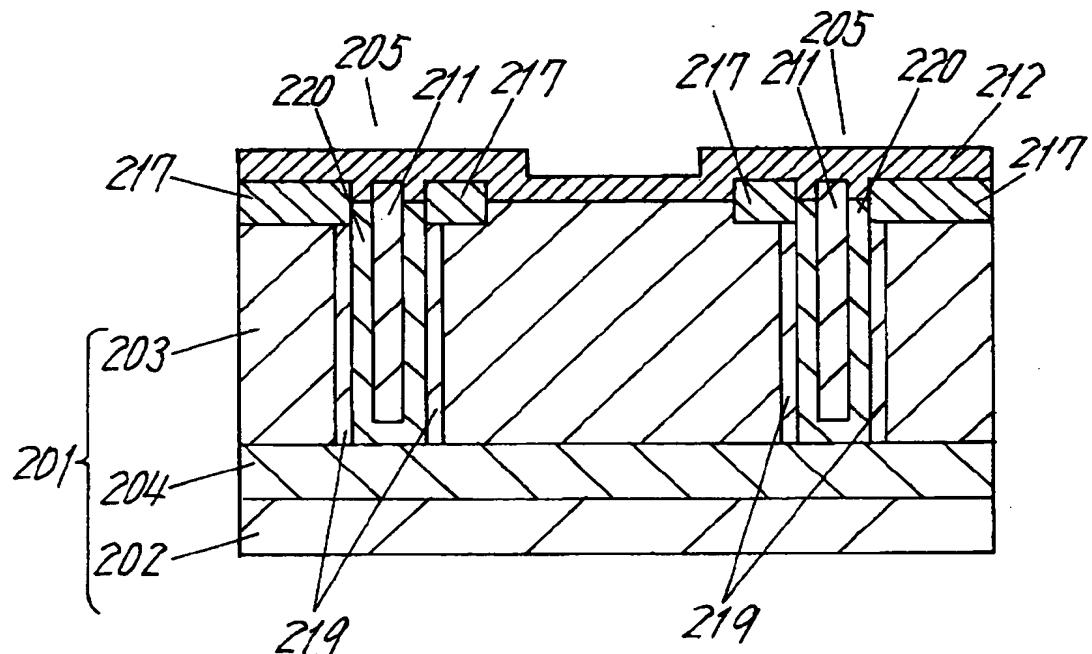
【図6】



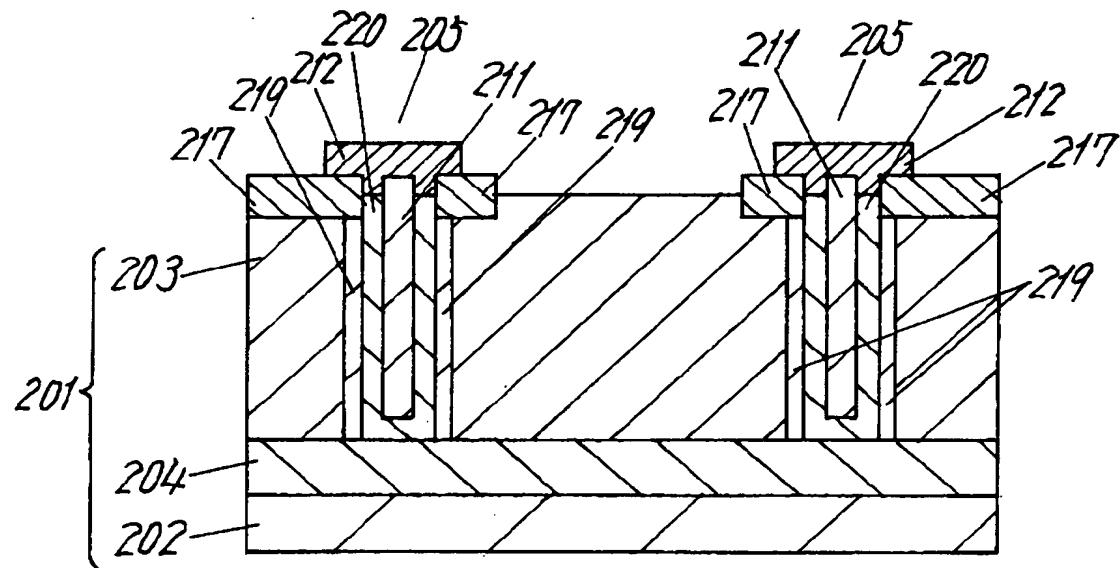
【図7】



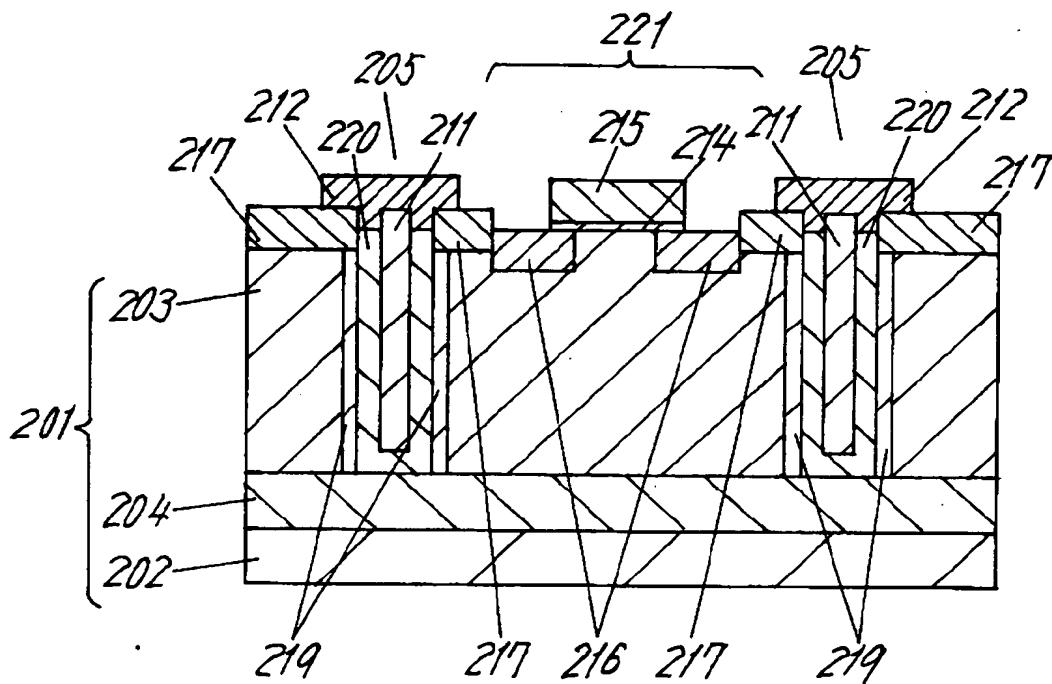
【図8】



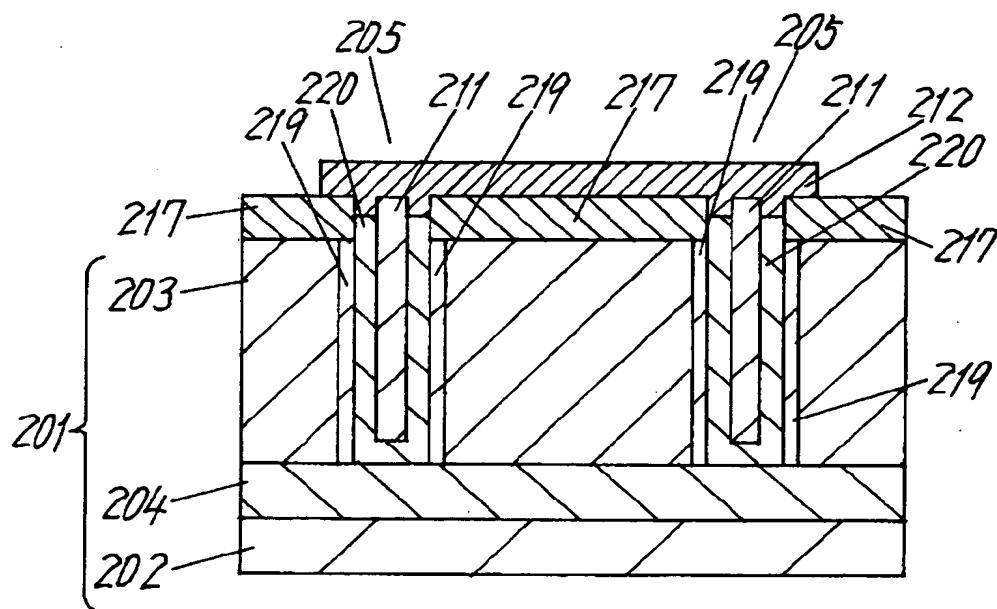
【図9】



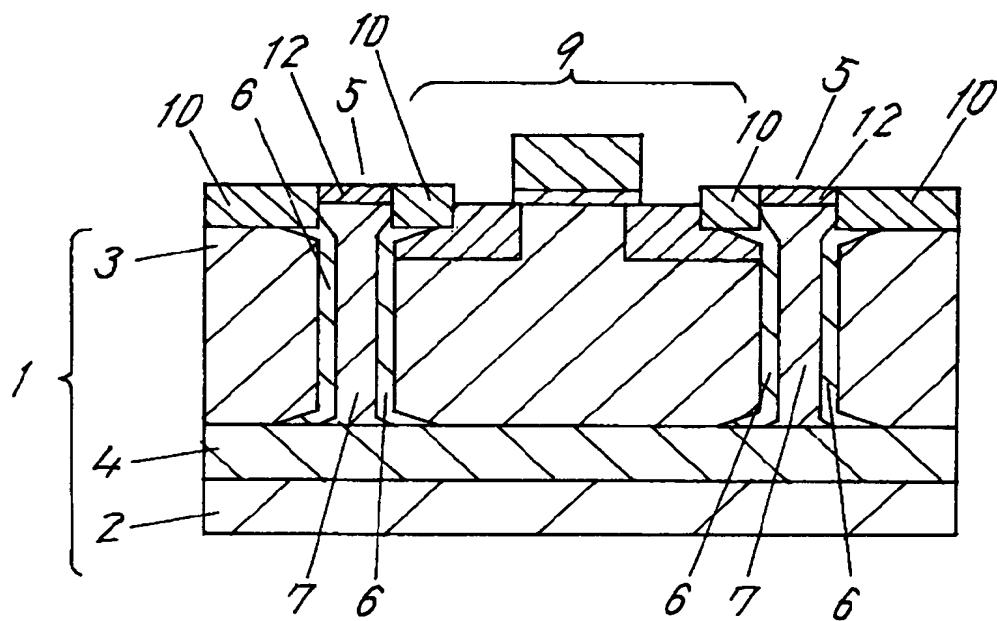
【図10】



【図11】

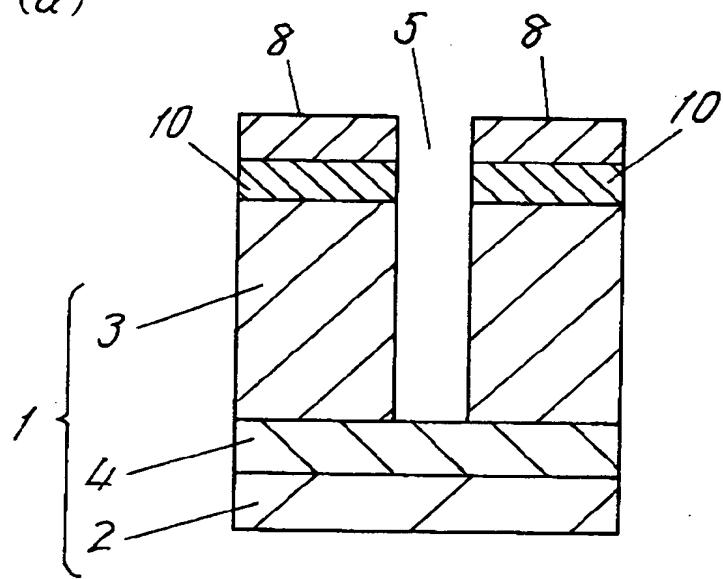


【図12】

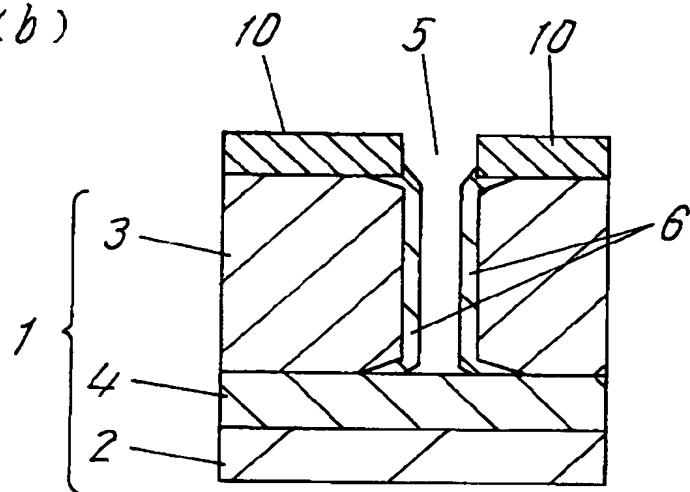


【図13】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 SOI基板を用いてトレンチ素子分離構造を適用した場合、トレンチ側壁の酸化時にトレンチコーナー部の酸化膜が薄膜化し、応力集中により素子領域の半導体層に達する結晶欠陥が発生する。

【解決手段】 基板表面部103を貫通し第1の絶縁層104に達する深さまで溝を形成し、素子分離領域となる領域を形成する工程と、溝105の内側に第2の絶縁層110を気相成長法により成膜する工程と、溝105の内側に第2の絶縁層110を介して埋込層111を形成する工程と、埋込層111を被覆する第3の絶縁層112を形成する工程とを有することにより、溝105の側面に熱酸化による酸化層が形成されることはないと、結晶欠陥が発生する原因である熱酸化工程が不要となり、トレンチ型素子分離形成工程における結晶欠陥の発生を抑止できる。

【選択図】 図5

出願人履歴情報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社